

**WEST** Generate Collection  Print

L2: Entry 21 of 25

File: JPAB

Sep 4, 1986

PUB-NO: JP361199666A  
DOCUMENT-IDENTIFIER: JP 61199666 A  
TITLE: FIELD-EFFECT TRANSISTOR

PUBN-DATE: September 4, 1986

## INVENTOR-INFORMATION:

NAME	COUNTRY
SAGAWA, TOSHIO	

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI CABLE LTD	

APPL-NO: JP60041695

APPL-DATE: March 1, 1985

US-CL-CURRENT: 257/627; 257/E29.004  
INT-CL (IPC): H01L 29/78; H01L 29/20

## ABSTRACT:

PURPOSE: To make the mobility of electrons larger by a method wherein rectangular recessed parts, each to form an angle of 45° with the (110) orientation, are formed on the surface of a compound semiconductor crystal substrate with a (001) plane and the (010) or (001) planes forming the side surfaces of the recessed parts are used as the channels.

CONSTITUTION: A P+ type epitaxial layer 2, an N-type epitaxial layer 3 and a P-type epitaxial layer 4 are made to grow in order on a semiconductor GaAs substrate 1 with a (001) plane. Then, photo resist liquid is applied, a pattern is formed and after the uncured photo resist liquid is removed, an etching is performed to midway of the N-type epitaxial layer 3 vertically to the substrate 1. The bottom surfaces of the etching parts at this time shall be all a (001) plane and the side surfaces thereof respectively shall be a (001) plane and a (010) plane. Then, gate oxide films 5 are made to grow, contact windows 6 are opened and the oxide films 5 are made to grow. Then, a metal electrode 7 is evaporated, and the source electrode and the gate electrode are formed. By this way, the mobility of electrons can be made larger and the ON-state resistance can be made smaller as a plane equivalent to a (100) plane is used for each channel part of the etching parts.

COPYRIGHT: (C)1986,JPO&amp;Japio

## ⑫ 公開特許公報 (A) 昭61-199666

⑬ Int.Cl.

H 01 L 29/76  
29/20

識別記号

府内整理番号

8422-5F  
8526-5F

⑭ 公開 昭和61年(1986)9月4日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 電界効果トランジスタ

⑯ 特願 昭60-41695

⑰ 出願 昭60(1985)3月1日

⑱ 発明者 佐川 敏男 日立市日高町5丁目1番1号 日立電線株式会社電線研究所内

⑲ 出願人 日立電線株式会社 東京都千代田区丸の内2丁目1番2号

⑳ 代理人 弁理士 薄田 利幸 外1名

## 明細書

1. 発明の名称 電界効果トランジスタ

## 2. 特許請求の範囲

(1) (001)面を有する化合物半導体結晶基板の表面に、<110>へき開方向と45°の角度をなす矩形状の凹部を形成し、前記矩形状の凹部の側面をなす(010)または(001)面をチャネルとして用いる構成としたことを特徴とする電界効果トランジスタ。

(2) 前記化合物半導体結晶基板がInPである特許請求の範囲第1項記載の電界効果トランジスタ。

(3) 前記化合物半導体結晶基板がGaAsである特許請求の範囲第1項記載の電界効果トランジスタ。

## 3. 発明の詳細な説明

## 【発明の背景と目的】

本発明は、電界効果トランジスタに係り、特に化合物半導体による絶縁ゲート電界効果トランジスタに関するものである。

電界効果トランジスタは、多数キャリア素子で

あるため、バイポーラトランジスタに比べて高速性であるなどの優れた特徴を有している。特に化合物半導体による電界効果トランジスタは、シリコンにするものより高速であるなどのメリットがある。電界効果トランジスタは、オン抵抗を小さくするため、一般に、特開昭59-8375号公報に示してあるように、第3図に示すような複数構造のものが用いられてきた。第3図に示したV字形ゲート部の作製は、結晶の異方性を利用し、エッチング法により行われていた。したがって、チャネル領域は、<111>面にできるので、電子移動度が小さく、チャネル抵抗が増大し、その結果、オン抵抗が大きくなる。

本発明は上記に鑑みてなされたもので、その目的とするところは、電子移動度が大きく、オン時のチャネル抵抗を低減でき、オン抵抗が小さい電界効果トランジスタを提供することにある。

## 【発明の概要】

本発明の特徴は、(001)面を有する化合物半導体結晶基板の表面に<110>へき開方向と

BEST AVAILABLE COPY

45°の角度をなす矩形状の凹部を形成し、上記矩形状の凹部の側面をなす(010)または(001)面をチャネルとして用いる構成とした点にある。

## 〔実施例〕

以下、本発明を第1図、第2図に示した実施例を用いて詳細に説明する。

結晶学的に(100)面をチャネルとするために、化合物半導体結晶基板GaAsの(001)面上の<100>方向に、第1図(a)に示すように、<110>へき開方向と45°の角度をなす矩形状の凹部Pを形成するようにエッティングを行う。ただし、エッティングはエッチャントを選択して、第1図(b)に示すように、(001)表面に対して垂直にエッティングを行う。このとき、直方体にエッティングされた凹部Pの側面は、それぞれ(010)、(001)面となり、(100)面と等価な面となる。GaAs系基板に垂直にエッティングするには、通常の硫酸-過酸化水素系あるいは臭素-メタノール系のエッチャントを用い

ためのコンタクト窓6を開孔し、そこにも酸化膜5を成長させる。最後に、金、アルミ等の金属電極7を蒸着して、ソース電極およびゲート電極を形成する。

8は電池、9は抵抗、10は可変抵抗を示す。

なお、化合物半導体基板としてGaAsを用いたが、InPを用いてもよい。

## 〔発明の効果〕

上記した本発明によれば、チャネル部分が(100)面と等価な面を用いてあるため、電子移動度が大きく、オン時のチャネル抵抗を低減でき、オン抵抗を小さくできるという効果がある。

## 4. 図面の簡単な説明

第1図は、本発明の電界効果トランジスタを製造する場合の電界矩形状の凹部を形成する工程を示す図、第2図は本発明の電界効果トランジスタの一実施例を示す断面図、第3図は従来の電界効果トランジスタの断面図である。

- 1…半絶縁性化合物半導体基板、
- 2…P'エピタキシャル層、

る反応性イオン・エッティング法や反応性イオン・ビームエッティング法を用いる。

次に、実際に電界効果トランジスタを作成する方法について説明する。第2図は本発明の電界効果トランジスタの一実施例を示す断面図である。

まず、(001)面を有する半絶縁性GaAs基板1上にP'型エピタキシャル層2、n型エピタキシャル層3およびP型エピタキシャル層4を順次成長させる。P'型エピタキシャル層2のキャリア濃度は $2 \times 10^{18} \text{ cm}^3$ 、n型エピタキシャル層3のキャリア濃度は $1 \times 10^{16} \text{ cm}^3$ 、P型エピタキシャル層4のキャリア濃度は $5 \times 10^{17} \text{ cm}^3$ である。次に、フォトレジスト液を厚さ1μm塗布し、通常のフォト・リングラフィー法を用いて基板1上にバターンを作成する。そして、未硬化のフォトレジスト液を除去後、基板1に垂直にn型エピタキシャル層3の中間までエッティングする。このときのエッティング部の底面は(001)面で側面は(100)面と(010)面である。次に、ゲート酸化膜5を成長させ、電極をつける

3…n型エピタキシャル層、

4…P型エピタキシャル層、

5…酸化膜、

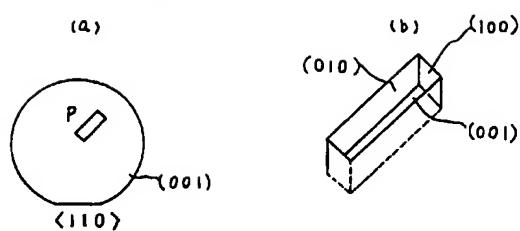
6…コンタクト窓、

7…金属電極。

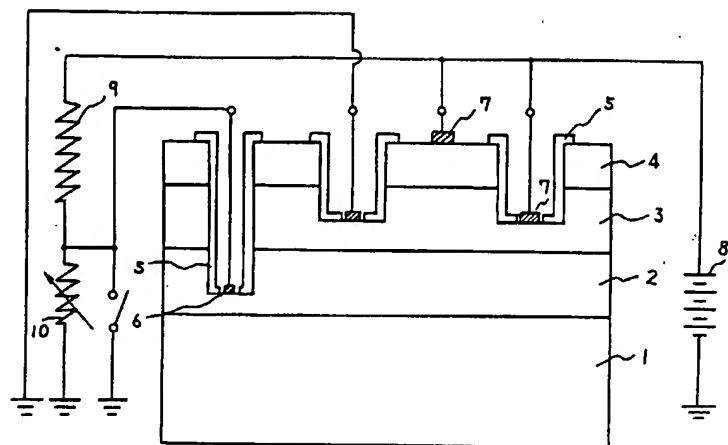
BEST AVAILABLE CO.

代理人弁理士佐藤不二雄

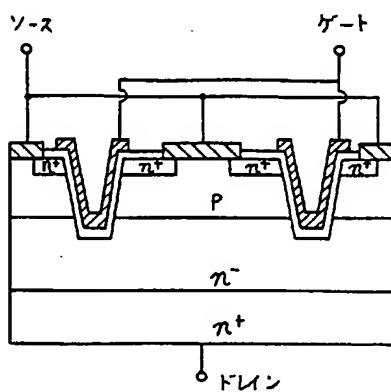
第 1 図



第 2 図



第 3 図



BEST AVAILABLE COPY